

#4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
CAPPELLETTI ET AL.

Serial No. 09/699,041

Filing Date: October 27, 2000

For: **MULTICHANNEL TRANSCEIVER OF
DIGITAL SIGNALS OVER POWER
LINES**



TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority European Application No. 99830680.7.

Respectfully submitted,

Michael W. Taylor

MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND
TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 23 day of
January, 2001.

Eric L. Linder

This Page Blank (uspto)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99830680.7

Der Präsident des Europäischen Patentamts:
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE, 16/11/00
LA HAYE, LE

This Page Blank (uspto)



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: 99830680.7
Demande n°:

Anmeldetag:
Date of filing: 28/10/99
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
STMicroelectronics S.r.l.
20041 Agrate Brianza (Milano)
ITALY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Multichannel transceiver of digital signals over power lines

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

H04B3/54

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

The original title of the application in Italian reads as follows:
Stazione di ricetrasmisione e ricetrasmittitore multicanale di
segnali digitali su linee di reti di distribuzione di potenza.

This Page Blank (uspto)

VA/X01104/EP

Italian Text Pursuant to Art. 14.2

**“STAZIONE DI RICETRASMISSIONE E RICETRASMETTITORE
MULTICANALE DI SEGNALI DIGITALI SU LINEE DI RETI DI
DISTRIBUZIONE DI POTENZA”**

5 CAMPO DELL'INVENZIONE

La presente invenzione concerne in generale i sistemi di trasmissione dati e più precisamente le stazioni di ricetrasmissione e i ricetrasmittitori di segnali digitali di comunicazioni per domotica particolarmente anche se non esclusivamente quelli accoppiabili ad una linea di distribuzione elettrica.

10 BACKGROUND DELL'INVENZIONE

La rete di distribuzione dell'energia elettrica è estremamente diffusa e capillare nel mondo. Essa è per lo più usata solo per il trasporto e la distribuzione dell'energia elettrica, ma è ben nota la possibilità di utilizzarla per trasmettere dati.

15 Tale modalità di distribuzione risulta essere notevolmente vantaggiosa per comunicare con utenti situati in località isolate in quanto, dato che quasi tutti dispongono di un'utenza collegata ad una linea di distribuzione elettrica, si può ovviare ai rilevanti costi di installazione di una linea dedicata convogliando tali segnali sulla linea di distribuzione.

20 Questa tipologia di trasmissione dei dati, detta ad “onda convogliata”, risulta possibile in quanto l'energia elettrica è distribuita ad una ben determinata frequenza. Le note tecniche di ricetrasmissione infatti permettono di modulare il segnale che si vuole inviare nell'intorno di una frequenza portante, allocandolo in una banda non occupata da altri segnali. In questo modo è possibile in sostanza
25 inviare su una stessa linea più segnali occupanti bande di frequenza non sovrapposte, avendo comunque la possibilità in ricezione di selezionare solo il segnale desiderato.

La trasmissione di dati su linee di distribuzione è un espediente che risulta particolarmente utile nel caso in cui si vogliano inviare ad una data utenza anche dei segnali di controllo delle apparecchiature in essa installate, senza dover essere costretti ad installare delle linee dedicate.

- 5 Dati i vantaggi provenienti da questo tipo di trasmissione, sempre maggiore importanza stanno assumendo i sistemi per implementare efficienti stazioni di ricetrasmisione dati e i ricetrasmittitori che la rendono possibile.

Una stazione di ricetrasmisione di dati su reti di distribuzione comunemente è costituita da un microprocessore pilotante un ricetrasmittitore accoppiato alla rete
10 di distribuzione.

Ricetrasmittitori di tal genere esistono in commercio e sono ad esempio descritti nei brevetti US 4,714,912 e US 5,842,032.

I ricetrasmittitori noti non consentono di realizzare stazioni riceventi con le caratteristiche descritte in precedenza. Inoltre la maggior parte di essi si avvale di
15 un dispositivo di interfaccia di accoppiamento alla linea di distribuzione elettrica per rispettare le normative che fissano gli standard di comunicazione sulla rete elettrica che definisce i criteri di accesso, le bande riservate ai produttori di energia e quelle riservate alla domotica.

Sarebbe quindi desiderabile poter disporre di un ricetrasmittitore che permetta di
20 realizzare delle stazioni di ricetrasmisione con le caratteristiche prima descritte, che in più integri certe funzioni utili per effettuare una gestione a distanza di carichi elettrici connessi alla rete di distribuzione.

Le condizioni di impiego di sistemi di comunicazione ad onde convogliate su linee elettriche di distribuzione dell'energia sono spesso quelle di collegamenti
25 individuali o di gruppi familiari, come ad esempio nelle applicazioni, generalmente definite di domotica.

In queste aree di applicazione, il costo delle apparecchiature riveste un'importanza non secondaria.

Comunemente una stazione di ricetrasmisione di dati digitali, sia essa destinata specificamente ad impiegare un ricetrasmittitore multicanale accoppiato tramite un'apposita interfaccia a una rete di distribuzione di potenza elettrica o no, comprende generalmente un modem interfacciato ad un microprocessore
5 attraverso una specifica circuiteria di comunicazione tra il modem e il microprocessore, definita comunemente come interfaccia seriale.

In questi sistemi noti, l'opzione che si presenta è quella tra stabilire una modalità di comunicazione a singolo bit (Bit Mode) tra il modem e il microprocessore, attraverso l'interfaccia seriale, o una modalità di comunicazione a pacchetto
10 (Packet Mode).

La trasmissione binaria seriale tra un modem e un microprocessore può infatti avvenire in due modi:

- Modalità a bit (Bit Mode): ogni volta che il modem ha demodulato un bit, lo trasmette al microprocessore;
- 15 ▪ Modalità a pacchetto (Packet Mode): il modem accumula un numero prefissato di bit formando un pacchetto di bit, che successivamente viene trasmesso al microprocessore.

Nella modalità a bit la comunicazione tra modem e microprocessore non introduce alcuna formattazione del dato, in quanto i bit vengono trasmessi non
20 appena decodificati dal modem. Si comprende facilmente che tale modalità offre il vantaggio di essere utilizzabile indipendentemente da una particolare formattazione dei dati, ma ha lo svantaggio che la velocità di comunicazione tra modem e microprocessore è limitata a quella del canale di comunicazione.

Nella modalità a pacchetto invece, la velocità di comunicazione tra modem e
25 microprocessore può essere superiore alla velocità del canale di comunicazione, ma non può prescindere dalla formattazione dei dati trasmessi.

Nel primo caso, la comunicazione in Bit Mode assicura la compatibilità del sistema irrispettivamente dal tipo di formattazione impiegato, ma questa soluzione impone l'impiego di un microprocessore di adeguate capacità di elaborazione,

dovendo farsi carico di un'elaborazione del bit stream ricevuto attraverso l'interfaccia seriale per interpretarne il contenuto informativo.

L'alternativa tecnica di stabilire una modalità di comunicazione a pacchetto tra il modem e il microprocessore offre il vantaggio di una maggiore velocità di comunicazione e consente l'impiego di un microprocessore meno costoso a parità di prestazioni globali della stazione, ma ha lo svantaggio di poter funzionare esclusivamente utilizzando una certa formattazione predefinita dei dati.

Se per esempio il protocollo di formattazione impone che la trama di dati sia trasmessa con un preambolo seguito da un'intestazione e poi dal campo di dati alternati da segnali di sincronismo, la formattazione del preambolo in pacchetti distrugge l'informazione in esso contenuta. Se poi il campo di dati fosse formattato in parole di M bit e la modalità di trasmissione a pacchetto costituisse pacchetti da N bit, il microprocessore sarebbe costretto a rielaborare i dati in modo da estrarre le parole originarie, vanificando in questo modo la maggiore velocità di comunicazione conseguibile con una trasmissione a pacchetto.

E' quindi sentita la necessità e/o l'utilità di disporre di un sistema o stazione di ricetrasmisione di dati digitali in cui la comunicazione tra modem e microprocessore attraverso l'interfaccia seriale possa commutare da una modalità a bit (Bit Mode) ad una modalità a pacchetto (Packet Mode) e viceversa nell'ambito di ciascuna trama di dati trasmessi, senza perdita di bit (dati).

SCOPO E SOMMARIO DELL'INVENZIONE

È stato trovato ed è l'oggetto della presente domanda di brevetto una stazione di ricetrasmisione dati che permette di coniugare in modo ottimale i vantaggi della modalità di trasmissione a pacchetto con quella a bit consentendo quindi di assicurare migliorate prestazioni in termini di velocità pur impiegando un microprocessore di costo contenuto. La stazione di ricetrasmisione dell'invenzione è caratterizzata dal fatto che durante la trasmissione di ogni singola trama di dati tra il modem e il microprocessore e viceversa, il circuito di interfaccia seriale è in grado di commutare da una modalità di trasmissione a

pacchetto ad una a bit o viceversa senza perdita di dati.

Secondo una forma preferita di realizzazione, la stazione di ricetrasmissione dati dell'invenzione è accoppiabile ad una linea di una rete di distribuzione di potenza attraverso un circuito di interfaccia e il modem genera un'informazione di
5 presenza di energia superiore ad una quantità prefissata in una banda di trasmissione selezionata.

La stazione di ricetrasmissione dati dell'invenzione preferibilmente comprende anche un circuito rilevante gli attraversamenti dello zero della fase di rete e genera un segnale logico di uscita, il quale è anche accoppiato ad un ingresso del modem.

10 Secondo un altro aspetto dell'invenzione, la stazione impiega un ricetrasmettitore multicanale di segnali digitali su una linea di una rete di distribuzione di potenza, integrato monoliticamente, comprendente un modem avente un registro di memorizzazione dei dati e organi di controllo della loro integrità segnalanti l'eventuale corruzione di almeno un bit, un'interfaccia seriale di comunicazione
15 con un microprocessore esterno, un oscillatore generante frequenze di trasmissione che vengono fornite al modem, un circuito di interfaccia di potenza accoppiato al modem pilotante un circuito esterno di accoppiamento alla linea in trasmissione ed un circuito rilevante gli attraversamenti dello zero della fase di rete, generante un segnale logico accoppiato ad un ingresso del modem.

20 Secondo la presente invenzione, la sezione di trasmissione dei dati dell'interfaccia seriale del ricetrasmettitore include una circuiteria logica di elaborazione del flusso di bit demodulati proveniente dal modem che si avvale a tale scopo di un buffer di memoria di elaborazione, attivabile da un comando di abilitazione e alimentata da un segnale di temporizzazione di frequenza multipla rispetto alla
25 frequenza del bit stream proveniente dal modem, entrambi prodotti dalla circuiteria logica di controllo dell'interfaccia seriale in funzione, di un apposito comando proveniente dall'esterno (microprocessore).

Un multiplatore di selezione riceve attraverso un primo ingresso il bit stream non strutturato generato dal modem e attraverso un secondo ingresso un flusso di dati

riorganizzati a pacchetto dall'unità di elaborazione.

Lo stesso segnale di abilitazione dell'unità di elaborazione attua la selezione attraverso detto multiplatore, rendendo disponibili in uscita verso il microprocessore o un bit stream (Bit Mode) così come ricevuto dal modem, o un
5 flusso dati organizzati a pacchetti (Packet Mode) dall'unità di elaborazione.

BREVE DESCRIZIONE DEI DISEGNI

I diversi aspetti e vantaggi dell'invenzione risulteranno ancor più evidenti dalla descrizione di alcune forme di realizzazione con riferimento ai disegni allegati, nei quali:

- 10 la **Figura 1** è uno schema generale del ricetrasmittitore integrato dell'invenzione;
la **Figura 2** mostra uno schema più dettagliato di alcuni blocchi dello schema generale della Fig. 1 secondo una forma di realizzazione;
la **Figura 3** è uno schema a blocchi dell'interfaccia seriale del ricetrasmittitore integrato dell'invenzione;
- 15 la **Figura 4a** mostra una forma di realizzazione circuitale della sezione trasmittente dell'interfaccia seriale del ricetrasmittitore dell'invenzione;
la **Figura 4b** è un diagramma temporale dei principali segnali della sezione trasmittente dell'interfaccia seriale della Fig. 4a;
la **Figura 5a** illustra una stazione ricetrasmittente ad onde convogliate;
- 20 la **Figura 5b** descrive un possibile schema di collegamento del ricetrasmittitore dell'invenzione alla rete di distribuzione.

DESCRIZIONE DI ALCUNE FORME DI REALIZZAZIONE DELL'INVENZIONE

- Il ricetrasmittitore integrato dell'invenzione è rappresentato schematicamente in Fig. 1. Fondamentalmente esso è costituito da un modem digitale, ad esempio un
25 modem utilizzante la codifica Frequency Shift Keying (FSK), da un'interfaccia seriale SERIAL_INTERFACE di comunicazione del modem con l'esterno, da un oscillatore OSCILLATOR che fornisce le frequenze di trasmissione al modem, da un'interfaccia di potenza PLI pilotante un circuito di accoppiamento ad una linea

della rete di distribuzione dell'energia elettrica, da un rilevatore dell'attraversamento dello zero (zero-cross) della tensione di rete ZC. Preferibilmente è presente anche un regolatore di tensione VREG integrato monoliticamente con i componenti funzionali sopra citati, per alimentare gli altri
5 dispositivi che compongono la stazione ricetrasmittente.

In fase di ricezione, il segnale proveniente dalla rete di distribuzione viene ricevuto sul piedino RAI, demodulato e fornito all'esterno sul piedino DATA_OUT. Opzionalmente il ricetrasmittitore può produrre sul piedino CLR/T un segnale di clock fornente il sincronismo di bit.

10 Il ricetrasmittitore integrato fornisce sul piedino BU l'informazione di presenza nella banda selezionata di energia superiore ad 80dB μ V. Tale informazione consente di utilizzare il canale di comunicazione su una linea di distribuzione elettrica nella banda di frequenza riservata alla domotica. Conformemente alle norme CENELEC EN 50065-1 che definiscono i criteri europei di accesso a
15 questo mezzo, non è possibile accedere in trasmissione nella banda per domotica se sul canale è presente un segnale superiore agli 80dB μ V. La presenza di questa funzione di rilevazione dell'energia in banda nel modem, consente di evitare la realizzazione di un circuito esterno di filtraggio e di rilevamento di ampiezza.

Un'altra peculiarità del dispositivo integrato dell'invenzione consiste nel fatto che
20 integra un blocco circuitale denominato ZC che rileva l'attraversamento dello zero della fase di rete, elaborando un segnale replica della tensione di rete sul piedino ZCIN. L'informazione di zero-cross è prodotta su un piedino ZCOUT ed è anche fornita al modem per permettere la sincronizzazione della trasmissione con gli attraversamenti della fase di rete.

25 Con questo accorgimento i dispositivi connessi alla linea di distribuzione elettrica oltre a ricevere i dati inviati dal ricetrasmittitore, ricevono anche l'informazione dell'istante in cui si annulla la tensione di rete. Tale informazione è utile per il pilotaggio dei carichi elettrici: conoscere l'istante in cui si annulla la tensione di rete può servire ad esempio per determinare gli istanti di accensione e di

spegnimento dei carichi, prevenendo così indesiderati picchi di tensione ai capi degli interruttori. Qualora non si voglia sincronizzare la trasmissione all'annullamento della tensione di rete, il ricetrasmettitore può essere programmato per trasmettere ignorando il segnale sul piedino ZCOUT.

- 5 Una forma di realizzazione preferita del ricetrasmettitore integrato dell'invenzione è mostrata in Fig. 2, in cui sono evidenziati i vari blocchi circuitali che costituiscono il modem che nell'esempio di realizzazione è di tipo FSK.

~~Il segnale da demodulare, disponibile sul piedino RAI, tramite un canale di~~
ricezione che può essere del tipo supereterodina, come esemplificato in figura, è
10 alimentato al blocco per il recupero del clock CLOCK_RECOVERY.

Il segnale presente sul piedino RAI viene filtrato e reso disponibile sul piedino RXFO, per consentire la misura della potenza del segnale nella banda selezionata.

Il ricetrasmettitore dell'invenzione dispone di un piedino CD/PD avente due funzioni. Esso può rendere disponibile la segnalazione di presenza di una portante
15 nel canale selezionato (Carrier Detection), indipendentemente dall'ampiezza di quest'ultima, comunicando la possibilità che un messaggio sia in arrivo. Il limite di rilevazione è costituito dalla sensibilità al piedino RAI. L'altra funzione è quella di rilevazione di una sequenza di bit in arrivo con il bit-rate selezionato (Preamble Detection).

20 Contestualmente al recupero del segnale di clock, il blocco FSK_DEMODULATOR fornisce il segnale demodulato all'interfaccia seriale SERIAL_INTERFACE, che lo rende disponibile sul piedino DATA_OUT.

L'interfaccia seriale viene utilizzata per la trasmissione dei dati sia dal demodulatore FSK_DEMODULATOR all'esterno che dall'esterno al modulatore
25 FSK_MODULATOR, grazie ad un segnale TX/RX che specifica quale delle due operazioni citate deve essere effettuata.

Il ricetrasmettitore è inoltre dotato di un registro di controllo CONTROL_REGISTER in cui vengono memorizzati i parametri necessari alla ricetrasmisione definiti

l'intera configurazione del modem.

5 Date le forti perturbazioni elettromagnetiche presenti sulla linea di distribuzione, il contenuto del CONTROL_REGISTER è continuamente monitorato per garantire un elevato margine di sicurezza sull'integrità dei dati memorizzati al suo interno. In caso di corruzione dei dati contenuti, sul piedino REG_OK viene prodotta una segnalazione di allarme.

Il CONTROL_REGISTER è inoltre dotato di un piedino TIMEOUT per permettere l'uso di quei protocolli che prevedono l'interruzione della trasmissione ad intervalli di tempo prestabiliti, misurati dal blocco TIMER.

10 Il CONTROL_REGISTER può essere programmato dall'esterno mediante il segnale di controllo REG_DATA. Tale segnale comunica all'interfaccia seriale SERIAL_INTERFACE se il segnale DATA_IN fornito dall'esterno è un dato da memorizzare nel CONTROL_REGISTER oppure è un dato da fornire al FSK_MODULATOR. Programmando il CONTROL_REGISTER è possibile fare in
15 modo che sul piedino CD/PD sia disponibile l'informazione Preamble Detection.

Il segnale prodotto dal FSK_MODULATOR viene filtrato da un filtro passa banda programmabile FILTER, che ne riduce le componenti armoniche indesiderate per limitare i disturbi elettromagnetici, e portato all'interfaccia di potenza PLI tramite uno stadio di controllo dell'ampiezza ALC.

20 La regolazione dei livelli di tensione e corrente del segnale trasmesso è effettuata da due blocchi per il controllo in modo corrente CURRENT_CONTROL e in modo tensione VOLTAGE_CONTROL, basandosi su due segnali rappresentativi della corrente CL e della tensione VSENSE.

25 Le frequenze di trasmissione vengono ricavate dall'oscillazione di un quarzo esterno, connesso ai piedini XTAL1 e XTAL2, mantenuto in risonanza da un circuito di eccitazione realizzato all'interno del dispositivo. Preferibilmente, tale circuito di eccitazione è costituito da uno stadio a MOS fatto lavorare sotto soglia, in modo da limitare il consumo del dispositivo. Dall'oscillatore viene inoltre

ricavato un segnale di clock reso disponibile sul piedino MCLK per pilotare un microprocessore esterno, evitando l'impiego di altri risonatori.

Il ricetrasmittitore della Fig. 2 dispone inoltre di un piedino WD per supervisionare la trasmissione. Al fine di preservare il canale di comunicazione, il
5 ricetrasmittitore monitora il segnale presente sul piedino WD: se per un tempo prestabilito, misurato dal blocco TIMER, non viene osservata alcuna transizione, il registro di controllo interpreta ciò come un malfunzionamento comunicando all'esterno una condizione di allarme mediante il segnale RSTO.

Il segnale RSTO può essere convenientemente utilizzato anche per segnalare la
10 presenza di un livello di tensione prodotto dal regolatore VREG insufficiente al corretto funzionamento del nodo di comunicazione. A tal scopo, il regolatore di tensione VREG è provvisto di un piedino PG su cui è disponibile l'informazione di presenza di una tensione di uscita del regolatore VREG superiore ad un valore minimo prefissato, per esempio pari a 4.5V.

15 Sono inoltre indicati i piedini dedicati alle alimentazioni delle sezioni digitali e analogiche DVdd, DVss, AVdd, Avss e il piedino di alimentazione dell'interfaccia di potenza PAVcc. Per completezza è stato inoltre riportato il piedino TEST utilizzato in fase di realizzazione del dispositivo per verificare la funzionalità.

20 Uno schema di alto livello dell'interfaccia seriale SERIAL_INTERFACE è illustrato in Fig. 3. Essa comprende una sezione ricevente RX_SECTION, una sezione trasmittente TX_SECTION e un'unità di controllo di interfaccia seriale SERIAL_INTERFACE_CONTROL_UNIT e dispone di una linea SIGNAL_GROUND che fornisce il potenziale di riferimento per la lettura dei dati.

25 La sezione ricevente RX_SECTION riceve un primo segnale dati DATA_IN e produce un segnale di uscita DATA_SEND inviato al modulatore FSK_MODULATOR oppure al CONTROL_REGISTER in funzione del segnale di controllo REG_DATA.

La sezione trasmittente TX_SECTION comprende una logica di elaborazione BUFFER_CONTROL_UNIT che si avvale di una memoria BUFFER e un moltiplicatore di selezione MULTIPLEXER.

5 La logica di elaborazione BUFFER_CONTROL_UNIT riceve il bit stream RECOVERED_DATA fornito dal demodulatore ad una certa frequenza di clock RECOVERED_CLOCK, ed impiega un segnale di clock BURST_CLOCK generalmente a frequenza multipla rispetto alla frequenza del clock del bit stream ricevuto per effettuare le operazioni di organizzazione dei dati in pacchetti secondo una certa formattazione, Packet Mode.

10 Quando è abilitata da un apposito segnale di abilitazione BURST_ENABLE, la logica di elaborazione BUFFER_CONTROL_UNIT legge i dati memorizzati nelle memoria BUFFER alla frequenza di scansione del BURST_CLOCK e fornisce a un ingresso del moltiplicatore di selezione, MULTIPLEXER, un flusso di dati BC organizzati in pacchetti in Packet Mode.

15 Il bit stream di ingresso RECOVERED_DATA oltre che alla logica di elaborazione è alimentato ad un altro ingresso del moltiplicatore di selezione, MULTIPLEXER.

L'unità di controllo dell'interfaccia SERIAL_INTERFACE_CONTROL_UNIT oltre a convenzionalmente attivare alternativamente la sezione ricevente RX_SECTION o la sezione trasmittente TX_SECTION in funzione di un comando esterno TX/RX, genera inoltre il segnale BURST_ENABLE e il segnale di clock a frequenza multipla della frequenza di clock del bit stream BURST_CLOCK, utilizzati dalla logica di elaborazione BUFFER_CONTROL_UNIT e dal multiplexer per operare la selezione di modalità.

25 Opzionalmente può essere prodotto in uscita anche un segnale di clock (CLR/T) relativo alla selezione di un flusso Bit Mode o di un flusso Packet Mode. In questo caso la circuiteria logica di elaborazione BUFFER_CONTROL_UNIT fornisce ad un ulteriore ingresso del MULTIPLEXER un terzo segnale di clock A, costituito da sequenze di un numero prefissato di impulsi del BURST_CLOCK, periodicamente emesse ad intervalli predeterminati ed anche il clock del bit stream di ingresso

RECOVERED_CLOCK è fornito ad un apposito ingresso del multiplatore di selezione MULTIPLEXER.

Il segnale BURST_ENABLE abilita o disabilita la logica di elaborazione, BUFFER_CONTROL_UNIT, e opera la selezione attraverso il multiplatore che
5 produrrà il flusso in uscita DATA_OUT, corrispondente al bit stream di ingresso (Bit Mode) RECOVERED_DATA e opzionalmente anche il relativo clock RECOVERED_CLOCK sull'uscita CLR/T o al flusso BC di dati organizzati in pacchetti (Packet Mode) dalla BUFFER_CONTROL_UNIT e opzionalmente anche il relativo segnale di clock A sull'uscita CLR/T.

10 Un'efficace forma di realizzazione circuitale della sezione di trasmissione TX_SECTION dell'interfaccia seriale è mostrata in Fig. 4a. Il circuito è composto da una coppia di registri a scorrimento SHIFT_REGISTER_1 e SHIFT_REGISTER_2 aventi capienza pari all'ampiezza in bit N del pacchetto. Essi sono disposti in parallelo ed alimentati in ingresso con il RECOVERED_DATA ed accoppiati in
15 uscita con un multiplexer MUX3. I due registri svolgono le funzioni di accumulo dei bit costituenti un pacchetto e di scarico del pacchetto memorizzato.

L'accumulo dei dati è effettuato ad una frequenza pari alla frequenza RECOVERED_CLOCK del bit stream mentre lo scarico avviene alla frequenza multipla del BURST_CLOCK. Un segnale di commutazione T prodotto dal blocco
20 logico TOGGLE fa sì che i due registri SHIFT_REGISTER_1 e SHIFT_REGISTER_2 non svolgano mai contemporaneamente la stessa funzione, e che il multiplexer MUX3 accoppiato alle uscite di detti registri selezioni sempre l'uscita del registro in fase di scarico. Il segnale di commutazione T commuta ogni N impulsi del RECOVERED_CLOCK, facendo sì che i multiplexer MUX1 e MUX2 alimentino i
25 relativi registri a scorrimento, l'uno con il RECOVERED_CLOCK e l'altro con un terzo segnale di clock A.

Un primo contatore modulo N, COUNTER_1, abilitato dal BURST_ENABLE, emette un primo segnale di fine conteggio C1 ogni N impulsi del RECOVERED_CLOCK. Il primo segnale di fine conteggio C1 fa commutare il segnale T e abilita il contatore

modulo N, COUNTER_2, il quale produce un secondo segnale di fine conteggio C2, attivo dall'istante in cui il contatore è abilitato fino a quando non sono stati contati N impulsi del BURST_CLOCK. Dopo aver contato N impulsi, COUNTER_2 disattiva il segnale C2.

- 5 Il terzo segnale di clock A è prodotto effettuando una AND logica del secondo segnale di fine conteggio C2 e del BURST_CLOCK. Il segnale A risulta quindi essere una emissione periodica di sequenze di N impulsi del BURST_CLOCK ad ogni occorrenza del primo segnale di fine conteggio C1.

- 10 In questo modo si alimentano i multiplexer MUX1 e MUX2 con un segnale costituito da N impulsi del BURST_CLOCK nell'istante in cui uno dei due registri è pieno. Grazie al segnale di commutazione T, tali N impulsi sono forniti proprio al registro pieno, permettendo che il pacchetto di N bit in esso memorizzati venga posto in uscita.

- 15 Qualora sia previsto fornire il clock CLR/T con cui vengono trasmessi i bit all'esterno come DATA_OUT a seconda della selezione operata tra le modalità Bit Mode e Packet Mode, esso può essere prodotto mediante un multiplexer MUX4 che trasporti in uscita il RECOVERED_CLOCK o il terzo segnale di clock A, a seconda che il segnale BURST_ENABLE stabilisca una trasmissione in Bit Mode o in Packet Mode.

- 20 Un multiplexer MUX4 produce sul terminale di uscita DATA_OUT il flusso di bit in Packet Mode o in Bit Mode, a seconda della selezione operata dal segnale BURST_ENABLE.

- 25 L'architettura descritta è solo una tra le tante realizzabili secondo lo schema della Fig. 3. Altre soluzioni sono possibili per esempio utilizzando una memoria RAM oppure un registro circolare al posto della coppia di registri a scorrimento, ovviamente adattando la BUFFER_CONTROL_UNIT in modo tale che possa generare i segnali adatti per la gestione del particolare tipo di memoria scelta.

L'interfaccia seriale SERIAL_INTERFACE descritta permette una commutazione tra

le modalità di trasmissione al microprocessore a bit e a pacchetto dei dati semplicemente variando il BURST_ENABLE durante ogni singola trama di dati. Questa capacità fa sì che il messaggio da trasmettere possa essere trasmesso coniugando la versatilità della trasmissione in Bit Mode con la velocità del Packet Mode ad esempio trasmettendo parte della trama di dati in Bit Mode e parte in Packet Mode, ed anche alternando le due possibilità di trasmissione secondo un ordine qualsiasi senza perdere alcun bit nella commutazione da una modalità ad un'altra.

Un possibile diagramma temporale dei principali segnali utilizzati dall'interfaccia è riportato in Fig. 4b. Come è spesso il caso, una trama di dati FRAME del segnale DATA_OUT può essere suddivisa in un preambolo PREAMBLE, un'intestazione HEADER e dai bit di dati DATA, intervallati da segnali di sincronismo CRC.

Il segnale TX/RX commuta abilitando la TX_SECTION della SERIAL_INTERFACE. Poiché non è sempre possibile trasmettere in modalità a pacchetto i bit del preambolo PREAMBLE e dell'intestazione HEADER, in quanto l'informazione da essi trasportata è contenuta nel loro bit_rate, il segnale di BURST_ENABLE varia in modo da trasmettere in Bit Mode il preambolo PREAMBLE e l'intestazione HEADER e in Packet Mode i bit di dati DATA.

Tale tipologia di commutazione da una modalità di trasmissione ad un'altra non è l'unica possibile, potendosi sempre effettuare un numero qualsivoglia di commutazioni dalla modalità a pacchetto alla modalità a bit e viceversa durante la trasmissione di un'unica trama di dati FRAME.

Durante la trasmissione in Packet Mode, il segnale di clock CLR/T resta ozioso (IDLE) in alcuni intervalli di tempo, permettendo la lettura del segnale DATA_OUT solo quando sono presenti le citate sequenze di N impulsi del BURST_CLOCK. Nel riquadro è evidenziato il fatto che il segnale DATA_OUT viene letto solo quando il clock CLR/T non è ozioso, ad esempio in corrispondenza del suo fronte di salita.

Uno schema esemplificativo di una stazione di ricetrasmisione secondo la presente domanda di brevetto è illustrato in Fig. 5a. La stazione di ricetrasmisione è realizzata mediante il ricetrasmittitore descritto in Fig. 2 ed è inoltre riportata in forma schematica anche una linea di una rete di distribuzione elettrica di potenza, con dei carichi collegati.

Nelle sue parti essenziali, la stazione ricevente comprende un modem digitale accoppiato ad una linea di trasmissione dati, che nell'esempio di figura è una linea di una rete di distribuzione di potenza. Un microprocessore μP riceve i dati demodulati dal modem in Packet Mode o in Bit Mode attraverso un circuito di interfaccia SERIAL_INTERFACE che accoppia il modem al microprocessore μP . La SERIAL_INTERFACE è in grado di cambiare la modalità di trasmissione dei dati demodulati al microprocessore da una modalità a pacchetto ad una a bit durante un'unica trama di dati, senza alcuna perdita di bit in fase di commutazione da una modalità all'altra.

Un possibile schema circuitale di accoppiamento del ricetrasmittitore dell'invenzione alla linea di distribuzione elettrica è descritto in Fig. 5b.

Per fare in modo che la stazione sia in grado di controllare dei carichi elettrici connessi ad una linea di una rete di distribuzione elettrica sfruttando le bande di frequenza allo scopo destinate, essa ricava l'informazione di presenza nella banda selezionata di energia superiore ad un certo valore massimo prefissato, permettendo l'accesso solo se tale valore non viene ecceduto. Preferibilmente tale valore massimo prefissato è posto uguale a $80\text{dB}\mu\text{V}$, in accordo con quanto disposto dalle norme CENELEC EN 50065-1 che definiscono gli standard europei di accesso alla rete di distribuzione elettrica per le comunicazioni per domotica.

Al fine di migliorare il controllo dei carichi elettrici connessi, evitando che si abbiano ad esempio indesiderate extratensioni sugli interruttori di tali carichi elettrici, la stazione di ricetrasmisione è vantaggiosamente dotata di un circuito ZC di rilevazione degli attraversamenti dello zero da parte della tensione di rete.

RIVENDICAZIONI

1. Stazione di ricetrasmissione dati operante in trama comprendente un modem digitale (MODEM) accoppiato ad una linea di trasmissione, un microprocessore (μ P) ricevente dati demodulati da detto modem in una modalità di trasmissione a pacchetto o a bit, un circuito di interfaccia di commutazione (SERIAL_INTERFACE) tra detto microprocessore (μ P) a detto modem digitale (MODEM) caratterizzata dal fatto che
- 5 ~~detto circuito di interfaccia (SERIAL_INTERFACE) cambia da una~~
modalità di trasmissione a pacchetto (Packet Mode) ad una a bit (Bit Mode) e/o
10 viceversa durante la trasmissione a detto microprocessore di un'unica trama di dati.
2. La stazione di ricetrasmissione dati della rivendicazione 1 in cui detta linea di trasmissione è una linea di una rete di distribuzione di potenza e detto modem (MODEM) fornisce un'informazione (BU) di presenza di energia
- 15 superiore ad una quantità prefissata in una certa banda di trasmissione selezionata.
3. La stazione di ricetrasmissione dati della rivendicazione 2, caratterizzato dal fatto che comprende un circuito (ZC) rilevante gli attraversamenti dello zero della fase di rete e generante un segnale logico di uscita (ZCOUT) il quale è anche accoppiato ad un ingresso di detto modem.
- 20 4. Ricetrasmittitore multicanale di segnali digitali su una linea di una rete di distribuzione di potenza, integrato monoliticamente, comprendente un modem (MODEM) avente un registro di memorizzazione dei dati (CONTROL_REGISTER) e organi di controllo della loro integrità segnalanti l'eventuale corruzione di almeno un bit, un'interfaccia seriale (SERIAL_INTERFACE) costituito da una sezione
- 25 ricevente (RX_SECTION) e da una sezione trasmittente (TX_SECTION) accoppiante detto modem con l'esterno, un oscillatore (OSCILLATOR) generante frequenze di trasmissione fornite a detto modem, un circuito di interfaccia di potenza (PLI) accoppiato a detto modem atto a pilotare un circuito esterno di accoppiamento alla linea, caratterizzato dal fatto che comprende

un circuito (ZC) rilevante gli attraversamenti dello zero della fase di rete e generante un segnale logico di uscita (ZCOUT) accoppiato ad un ingresso di detto modem (MODEM) e ad un piedino del ricetrasmittitore;

un circuito di rilevazione del livello di energia in una certa banda di trasmissione selezionata producente un segnale logico (BU) quando l'energia
5 supera il livello prestabilito;

la sezione trasmittente (TX_SECTION) di detta interfaccia seriale comprende un circuito logico di elaborazione comprendente un buffer di memoria organizzante il flusso di bit demodulati provenienti dal modem in un flusso (BC) i
10 dati strutturati a pacchetti ed un multiplexer di selezione ricevente attraverso un primo ingresso detto flusso di bit demodulati provenienti dal modem (RECOVERED_DATA) e detto flusso di dati strutturati (BC) ed operante una selezione tra detti due flussi di ingresso, trasmettendo attraverso un'uscita o un flusso (DATA_OUT) di bit non strutturati in una modalità Bit Mode o un flusso di
15 dati organizzati a pacchetti in modalità Packet Mode, in funzione di un apposito segnale di selezione (BURST_ENABLE) proveniente dall'esterno, ed un'unità di controllo (SERIAL_INTERFACE_CONTROL_UNIT) generante detto segnale di selezione (BURST_ENABLE) ed un segnale di temporizzazione (BURST_CLOCK) di frequenza multipla del segnale di clock (RECOVERED_CLOCK) di detto bit stream
20 di ingresso (RECOVERED_DATA) alimentato a detta circuiteria logica di elaborazione.

5. Il ricetrasmittitore della rivendicazione 4 in cui

detta circuiteria logica di elaborazione (BUFFER_CONTROL_UNIT) produce un terzo segnale di clock (A) costituito da sequenze di N impulsi di detto
25 segnale di clock (BURST_CLOCK) a frequenza multipla, periodicamente emesse ad intervalli predeterminati;

detto moltiplicatore di selezione (MULTIPLEXER) riceve da detto modem il segnale di clock (RECOVERED_CLOCK) di detto flusso di dati non strutturati (RECOVERED_DATA) e detto terzo segnale di clock (A) producendo su
30 un'uscita un segnale di clock (CLR/T) uguale a detto terzo segnale di clock (A) oppure a detto primo segnale di clock (RECOVERED_CLOCK) a seconda che

rispettivamente detto segnale di selezione (BURST_ENABLE) selezioni detto flusso di dati non strutturati (RECOVERED_DATA) o detto flusso di dati strutturati a pacchetti (BC).

6. Il ricetrasmittitore della rivendicazione 4 in cui
- 5 detta memoria buffer (BUFFER) comprende
- una coppia di registri a scorrimento primo (SHIFT_REGISTER_1) e
- secondo (SHIFT_REGISTER_2) alimentati con detto terzo segnale dati
- (RECOVERED_DATA), memorizzanti detto terzo segnale dati (RECOVERED_DATA)
- rispettivamente ad ogni impulso di segnali di clock quinto (Z1) e sesto (Z2),
- 10 producenti rispettivamente segnali dati quinto (S1) e sesto (S2);
- detta logica di controllo della memoria (BUFFER_CONTROL_UNIT)
- comprende
- un primo contatore modulo N (COUNTER_1) accoppiato a detto primo
- segnale di clock (RECOVERED_CLOCK), generante un primo segnale di fine
- 15 conteggio (C1) ogni N impulsi conteggiati,
- un primo blocco circuitale (TOGGLE) produttore un segnale di
- commutazione (T) commutante ad ogni impulso di detto primo segnale di fine
- conteggio (C1),
- un secondo contatore modulo N (COUNTER_2) abilitato da detto primo
- 20 segnale di fine conteggio (C1), conteggiante gli impulsi di detto secondo segnale
- di clock (BURST_CLOCK), produttore un secondo segnale di fine conteggio (C2)
- attivato da detto primo segnale di fine conteggio (C1) e disattivato quando detto
- secondo contatore modulo N (COUNTER_2) ha contato N impulsi di detto secondo
- segnale di clock (BURST_CLOCK),
- 25 una coppia di multiplatori di selezione primo (MUX_1) e secondo
- (MUX_2) accoppiati a detto terzo segnale dati (RECOVERED_DATA) e a detto
- terzo segnale di clock (A), producenti rispettivamente detti segnali di clock quinto
- (Z1) e sesto (Z2) uguali rispettivamente a detto terzo segnale di clock (A) e a detto
- primo segnale di clock (RECOVERED_CLOCK) o viceversa, a seconda del valore di
- 30 detto segnale di commutazione (T),
- una logica accoppiata a detto secondo segnale di clock (BURST_CLOCK)

e a detto secondo segnale di fine conteggio (C2) produttore detto terzo segnale di clock (A) come emissione periodica di dette sequenze di N impulsi di detto secondo segnale di clock (BURST_CLOCK) ad ogni occorrenza di detto primo segnale di fine conteggio (C1),

- 5 un terzo multiplatore di selezione (MUX_3) accoppiato a detti segnali dati quinto (S1) e sesto (S2) e a detto segnale di commutazione (T), uguagliante detto quarto segnale dati (BC) a detto quinto segnale dati (S1) oppure a detto sesto segnale dati (S2) in dipendenza da detto segnale di commutazione (T) a seconda che rispettivamente detto quinto segnale di clock (Z1) è uguale a detto terzo
- 10 segnale di clock (A) oppure no.

This Page Blank (uspto)

1/7

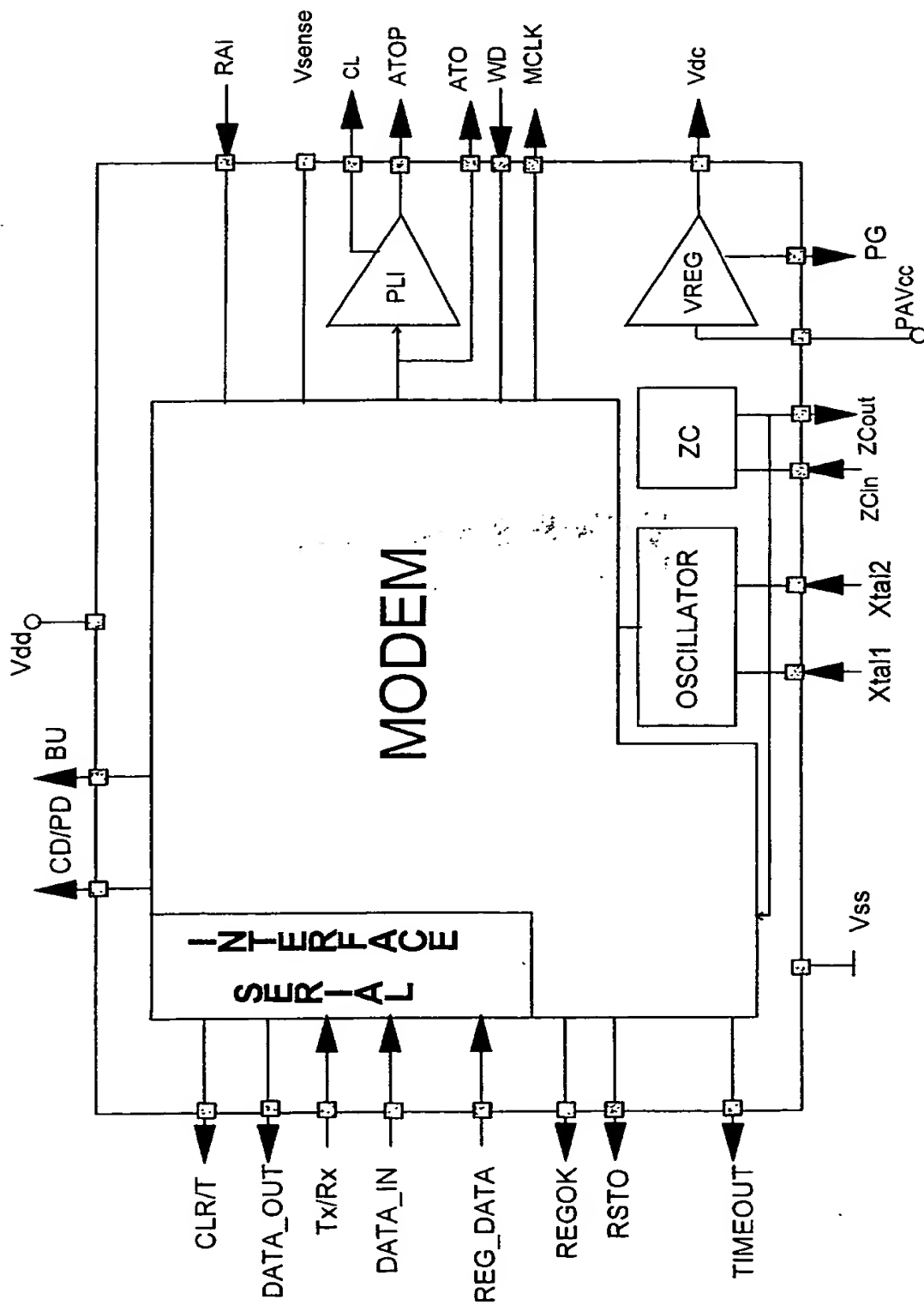


fig. 1

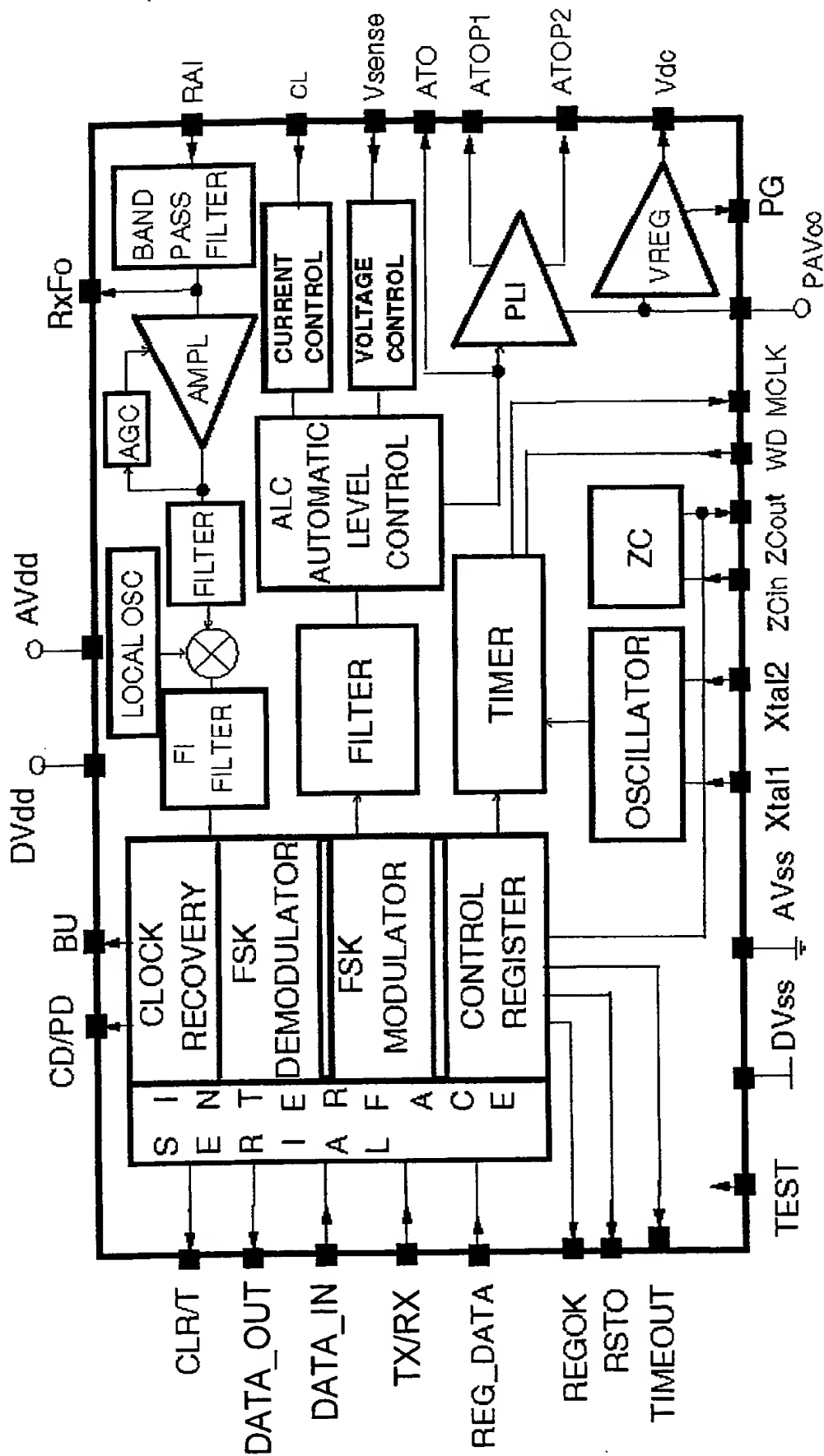


fig. 2

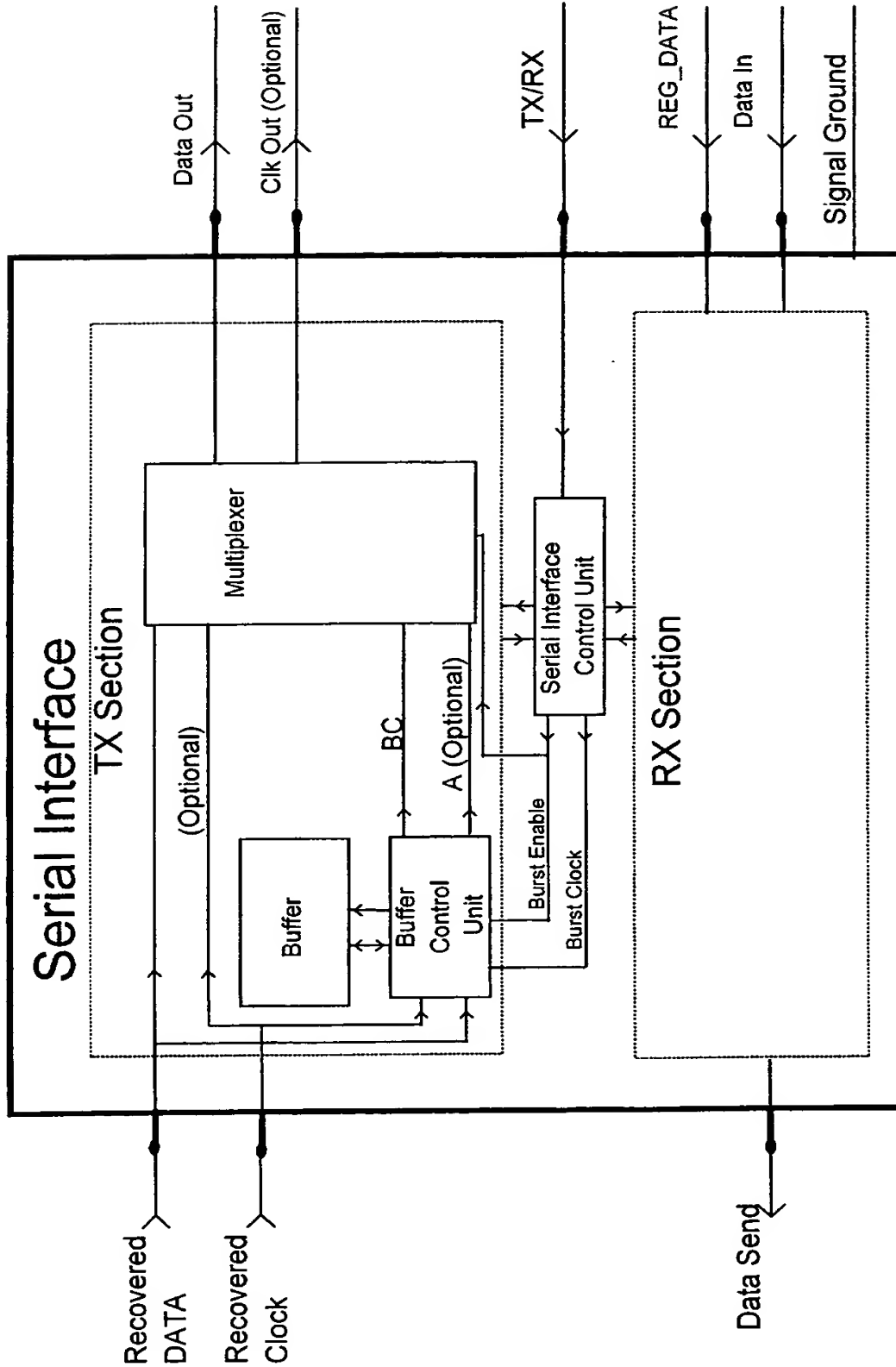


fig. 3

4/7

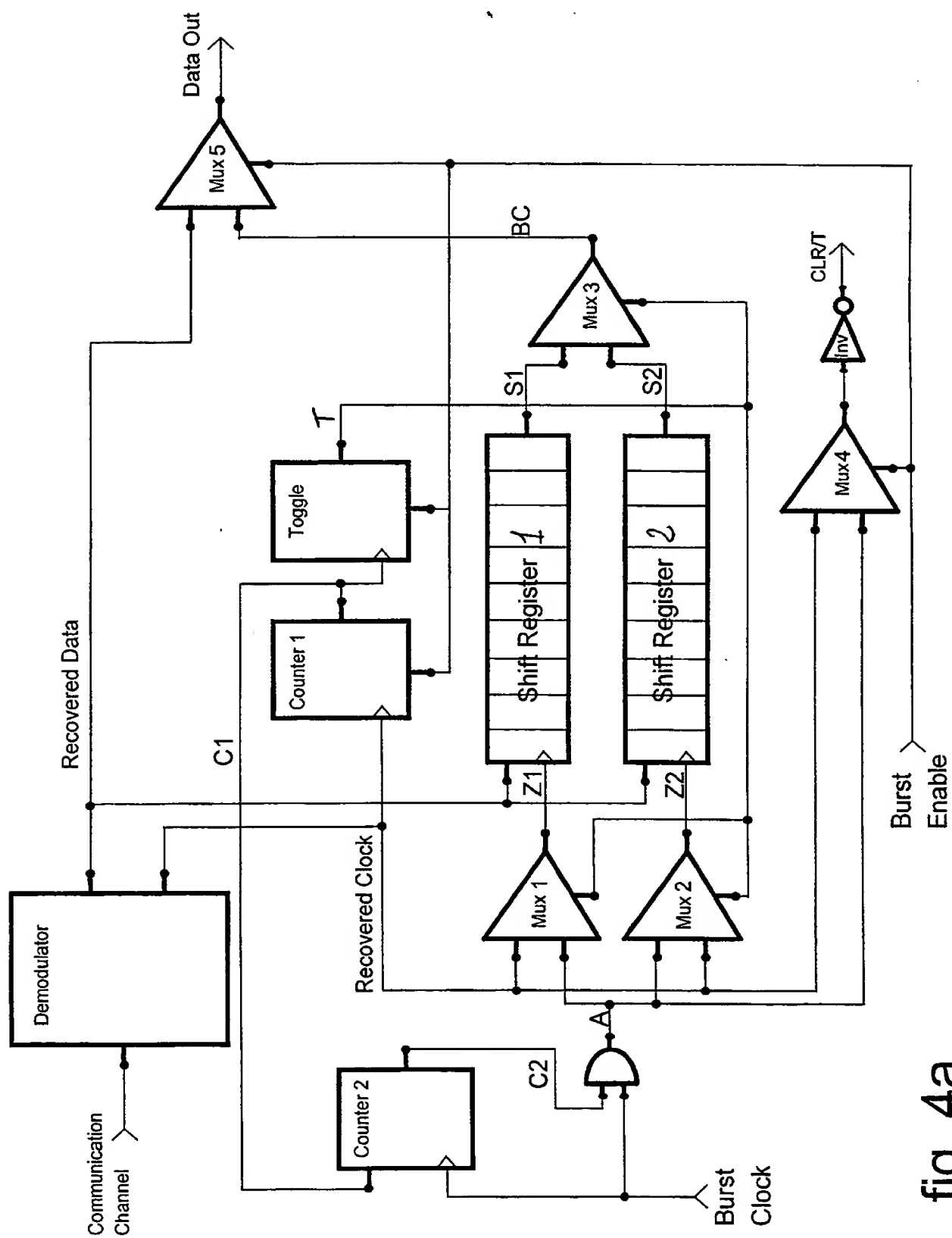


fig. 4a

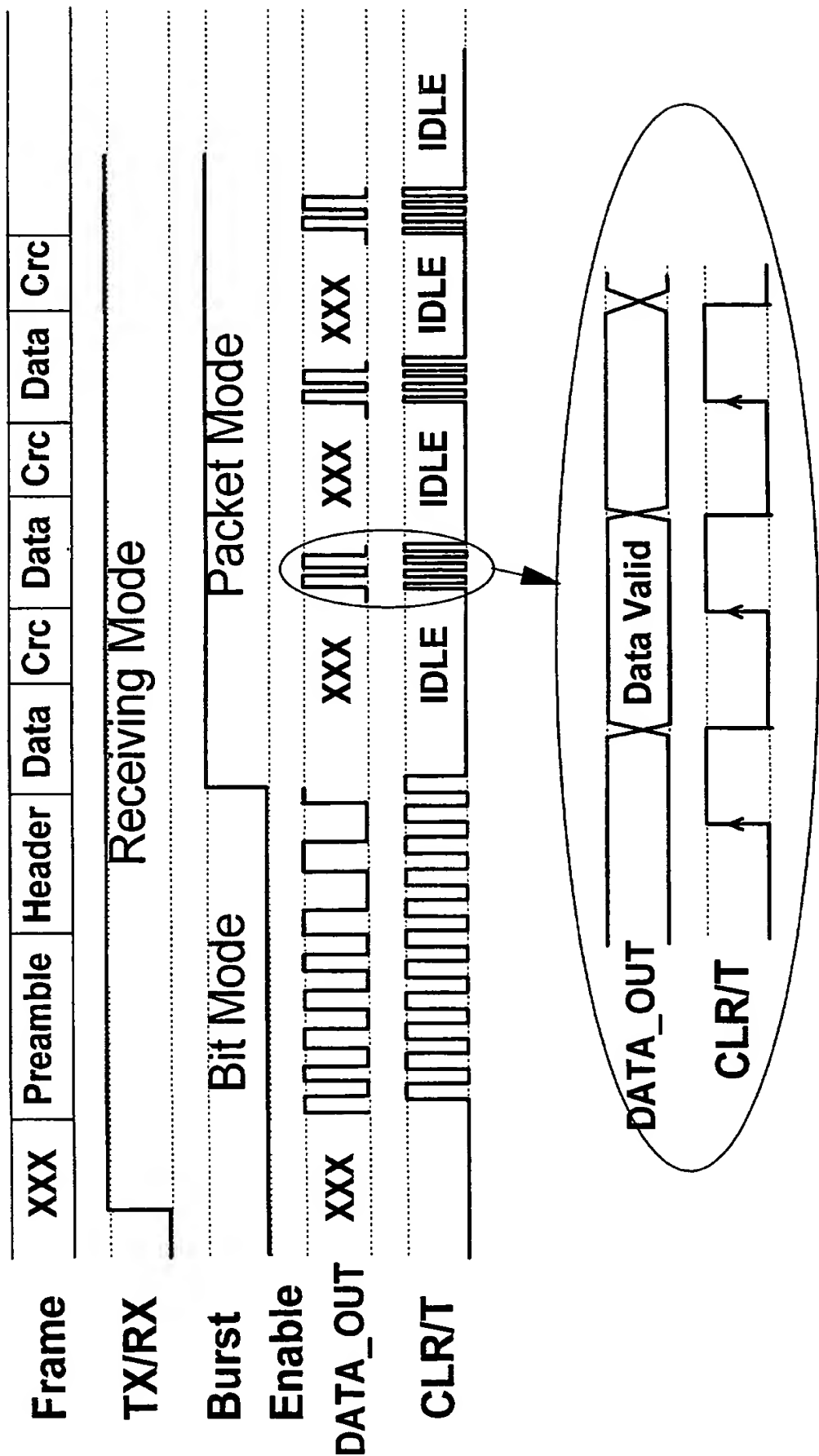


fig. 4b

PLM Node

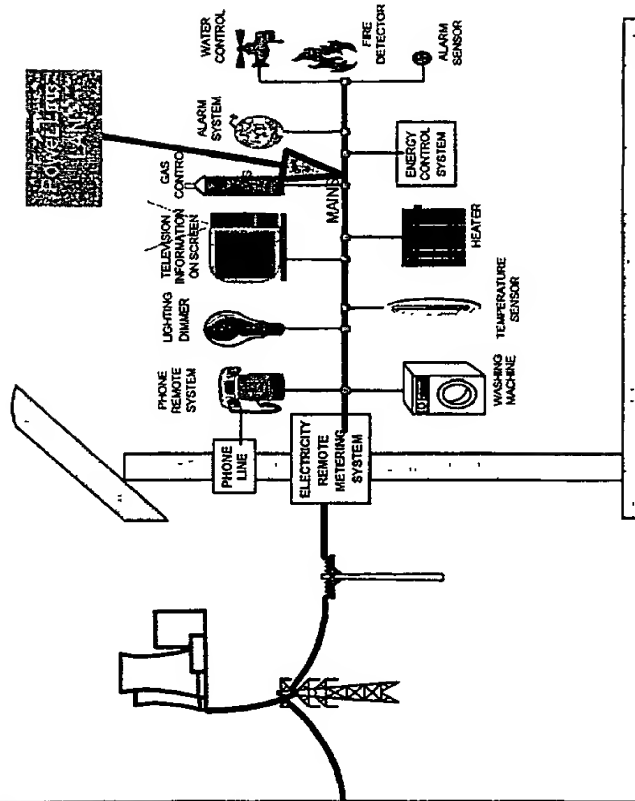
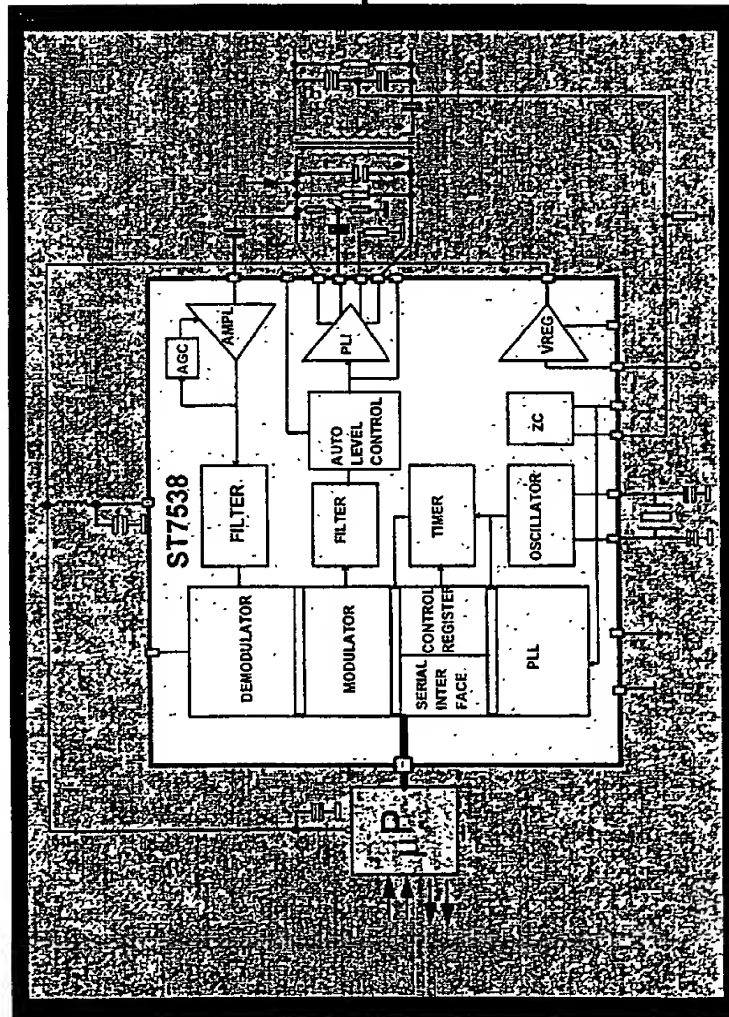


fig. 5a

This Page Blank (uspto)